

Grundlagen



MSB: most significant bit (ganz links)
 LSB: Least significant bit (ganz rechts)

Zahlssysteme → Dezimal

$$Z_s = k_n \cdot S^n + k_{n-1} \cdot S^{n-1} + \dots + k_1 \cdot S^1 + k_0 \cdot S^0$$

S ist die Basis des Zahlensystems ($S \geq 2$)
 k_n, \dots, k_0 sind Zahlenkoeffizienten ($0 \leq k_n < S$)

Dezimal → Zahlssystem

Um eine Dezimalzahl Z in ein anderes Zahlensystem S umzuwandeln, wird die Division mit Rest angewendet. Z wird durch S dividiert, bis keine ganzzahligen Ergebnisse mehr möglich sind. Die gesuchte Zahl in Basis S besteht aus Divisionsresten. Der Rest von der letzten Division ist die Ziffer mit höchstem Stellenwert und der Rest von der ersten Division ist die Ziffer mit niedrigstem Stellenwert.

Gleitkommazahl

S	Exponent	Fraktion (erste Stelle Wert 2^{-1} , zweite 2^{-2} etc.)
1 Bit	8 Bits	23 Bits
1	10000100	01100000000000000000000

Weiter gilt: Bei «Single-Precision» mit 8-Bit-Exponent wie hier beträgt der Bias 127, bei «Double Precision» mit 11-Bit-Exponent beträgt der Bias 1024.

Die Formel zur Berechnung des dargestellten Wertes ist:

$$x = (-1)^S \cdot 2^{(\text{Exponent}-\text{Bias})} \cdot (1 + \text{Fraktion})$$

$$= (-1)^1 \cdot 2^{(132-127)} \cdot (1 + 2^{-2} + 2^{-3})$$

$$= -2^5 \cdot (1 + 2^{-2} + 2^{-3}) = -(2^5 + 2^3 + 2^2)$$

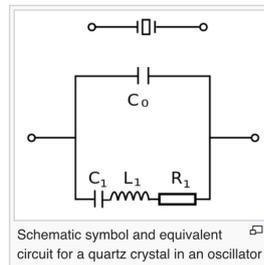
$$= -44$$

Quartz Crystal

A quartz crystal can be modeled as an electrical network with low-impedance (series) and high-impedance (parallel) resonance points spaced closely together. Mathematically, using the Laplace transform, the impedance of this network can be written as:

$$Z(s) = \left(\frac{1}{s \cdot C_1} + s \cdot L_1 + R_1 \right) \parallel \left(\frac{1}{s \cdot C_0} \right)$$

or

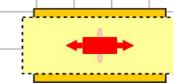


$$Z(s) = \frac{s^2 + s \frac{R_1}{L_1} + \omega_s^2}{(s \cdot C_0) \left[s^2 + s \frac{R_1}{L_1} + \omega_p^2 \right]}$$

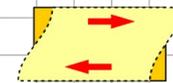
$$\Rightarrow \omega_s = \frac{1}{\sqrt{L_1 \cdot C_1}}, \quad \omega_p = \sqrt{\frac{C_1 + C_0}{L_1 \cdot C_1 \cdot C_0}} = \omega_s \sqrt{1 + \frac{C_1}{C_0}} \approx \omega_s \left(1 + \frac{C_1}{2C_0} \right) \quad (C_0 \gg C_1)$$

where s is the complex frequency ($s = j\omega$), ω_s is the series resonant angular frequency, and ω_p is the parallel resonant angular frequency.

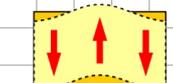
Adding capacitance across a crystal causes the (parallel) resonant frequency to decrease. Adding inductance across a crystal causes the (parallel) resonant frequency to increase. These effects can be used to adjust the frequency at which a crystal oscillates. Crystal manufacturers normally cut and trim their crystals to have a specified resonant frequency with a known "load" capacitance added to the crystal. For example, a crystal intended for a 6 pF load has its specified parallel resonant frequency when a 6.0 pF capacitor is placed across it. Without the load capacitance, the resonant frequency is higher.



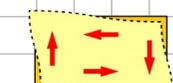
Longitudinal mode



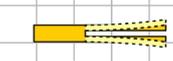
Thickness shear mode



Flexural mode



Face shear mode



Tuning fork

Kombinatorische Logik und Schaltalgebra

Kombinatorisch

Ein System wird dann kombinatorisch genannt, wenn die Ausgangsgrößen (= logische Funktionen der Eingangsgrößen) zur Zeit t_0 nur von den Werten der Eingangsgrößen zur selben Zeit t_0 abhängig sind, d.h. wenn das System kein Gedächtnis hat. *= ohne Speicher*

elementare logische Verknüpfungen

Funktion	Wahrh.	Symbol	Venn-Diagr.	Schreibweise	C	CMOS															
NOT	<table border="1"> <tr><td>A</td><td>Y</td></tr> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </table>	A	Y	0	1	1	0			$Y = !A$	log: ! bit: \neg										
A	Y																				
0	1																				
1	0																				
AND	<table border="1"> <tr><td>A</td><td>B</td><td>Y</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	A	B	Y	0	0	0	0	1	0	1	0	0	1	1	1			$Y = A \& B$	log: && bit: &	
A	B	Y																			
0	0	0																			
0	1	0																			
1	0	0																			
1	1	1																			
OR	<table border="1"> <tr><td>A</td><td>B</td><td>Y</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	A	B	Y	0	0	0	0	1	1	1	0	1	1	1	1			$Y = A \# B$	log: bit:	
A	B	Y																			
0	0	0																			
0	1	1																			
1	0	1																			
1	1	1																			
NAND	<table border="1"> <tr><td>A</td><td>B</td><td>Y</td></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	A	B	Y	0	0	1	0	1	1	1	0	1	1	1	0			$Y = !(A \& B)$		
A	B	Y																			
0	0	1																			
0	1	1																			
1	0	1																			
1	1	0																			
NOR	<table border="1"> <tr><td>A</td><td>B</td><td>Y</td></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	A	B	Y	0	0	1	0	1	0	1	0	0	1	1	0			$Y = !(A \# B)$		
A	B	Y																			
0	0	1																			
0	1	0																			
1	0	0																			
1	1	0																			
EX-OR	<table border="1"> <tr><td>A</td><td>B</td><td>Y</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	A	B	Y	0	0	0	0	1	1	1	0	1	1	1	0			$Y = A \$ B$	bit: ^	
A	B	Y																			
0	0	0																			
0	1	1																			
1	0	1																			
1	1	0																			
EX-NOR	<table border="1"> <tr><td>A</td><td>B</td><td>Y</td></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	A	B	Y	0	0	1	0	1	0	1	0	0	1	1	1			$Y = !(A \$ B)$		
A	B	Y																			
0	0	1																			
0	1	0																			
1	0	0																			
1	1	1																			

Theoreme Schaltalgebra

Verknüpfungen mit 0

$$0 \& X = 0 \qquad 0 \# X = X$$

Verknüpfungen mit 1

$$1 \& X = X \qquad 1 \# X = 1$$

Verknüpfung einer Variablen mit sich selbst

$$X \& X = X \qquad X \# X = X$$

$$X \& !X = 0 \qquad X \# !X = 1$$

Kommutativgesetz

$$X_1 \& X_2 = X_2 \& X_1 \qquad X_1 \# X_2 = X_2 \# X_1$$

Assoziativgesetz

$$(X_1 \& X_2) \& X_3 = X_1 \& (X_2 \& X_3) \qquad (X_1 \# X_2) \# X_3 = X_1 \# (X_2 \# X_3)$$

Distributivgesetz

$$(X_1 \# X_2) \& X_3 = (X_1 \& X_3) \# (X_2 \& X_3)$$

$$(X_1 \& X_2) \# X_3 = (X_1 \# X_3) \& (X_2 \# X_3)$$

Vereinfachungsgesetze

$$X_1 \# (X_1 \& X_2) = X_1 \qquad X_1 \& (X_1 \# X_2) = X_1$$

$$X_1 \# (!X_1 \& X_2) = X_1 \# X_2 \qquad X_1 \& (!X_1 \# X_2) = X_1 \& X_2$$

Gesetze von de Morgan (Inversionsgesetze)

$$!(X_1 \& X_2 \& X_3 \& \dots \& X_n) = !X_1 \# !X_2 \# !X_3 \# \dots \# !X_n$$

$$!(X_1 \# X_2 \# X_3 \# \dots \# X_n) = !X_1 \& !X_2 \& !X_3 \& \dots \& !X_n$$

Satz von Shannon

Der Satz von Shannon ist eine Verallgemeinerung der eben besprochenen Inversionsgesetze von de Morgan.

$$!F(X_1, X_2, X_3, \dots, X_i, \dots, X_n, \&, \#) = F(!X_1, !X_2, !X_3, \dots, !X_i, \dots, !X_n, \#, \&)$$

In Worten ausgedrückt:

Man erhält die Negation einer beliebigen logischen Funktion F dadurch, dass man alle Variablen X_i durch ihre Negationen $!X_i$, die Operationen $\&$ durch $\#$ bzw. $\#$ durch $\&$ ersetzt. Die Klammern bleiben unverändert.

Wahrheitstabelle aufstellen:

1. alle möglichen Kombinationen d. Eingangsvariablen bilden (2^n)
2. für jede Eingangskombination mittels der verbalen Schaltbedingung entscheiden ob Ausgang 1 oder 0 ist

Minterm

AND-Verknüpfung, welche alle Eingangsgrößen entweder in direkter oder negierter Form enthält
→ entspricht Zeile in Wahrheitstabelle

guter Minterm

$$Y = 1$$

schlechter Minterm

$$Y = 0$$

disjunktive Normalform

OR-Verknüpfung aller guten Minterme

Maxterm

OR-Verknüpfung, welche alle Eingangsgrößen entweder in direkter oder negierter Form enthält
→ entspricht **negierter** Zeile in Wahrheitstabelle

konjunktive Normalform

AND-Verknüpfung aller Maxterme, die zu den Zeilen mit $Y=0$ gehören

benachbarte Terme

unterscheiden sich nur dadurch, dass eine einzige Variable im einen Term direkt und im anderen negiert vorkommt
→ können mittels **Distr.g.** vereinfacht werden

Karnaugh-Diagramm (Funktionwert bis 4 Variablen)

1. In jedes Feld, das einem guten Minterm entspricht, wird eine 1 eingetragen; in alle anderen Felder eine 0. Das Karnaugh-Diagramm ist also eigentlich nur eine andere Form der Wahrheitstabelle.
2. Eine Vereinfachung ist nur möglich, wenn zusammenhängende Gebiete (Nachbargebiete) mit 1 auftreten; dabei gelten gegenüber liegende Ränder auch als benachbarte Gebiete. Man versucht nun, möglichst grosse Blöcke mit Einsen zu bilden. Ein Block muss 2^k Felder enthalten und symmetrisch sein (also z.B. nicht L-förmig). Ein Block darf keine 0 enthalten. Jedes Feld mit einer 1 muss in mindestens einem Block enthalten sein, allenfalls in einem Block, der nur aus einem einzigen Feld ($k=0$) besteht.

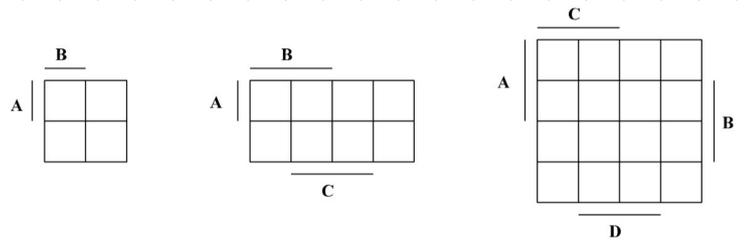
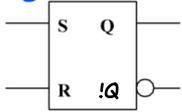


Abb. 26: Karnaugh-Diagramme für zwei, drei und vier Variablen

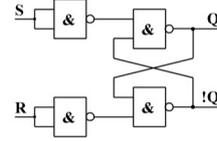
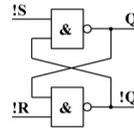
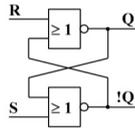
Speicherbausteine (= Flip-Flops = FF)

ungelocktes RS-FF (RS Latch)



S	R	Q _{n+1}
0	0	Q _n
0	1	0
1	0	1
1	1	-

Speicher
reset
set
undefiniert → nicht benutzen



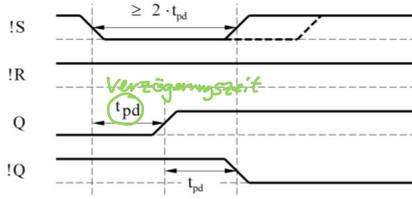
Realisierungsmöglichkeiten

Schaltalgebraisch kann das Verhalten des RS-FF durch folgende Beziehung angegeben werden:

$$Q_{n+1} = (!R_n \& Q_n) \# (S_n \& !R_n)$$

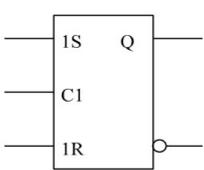
Unter der Voraussetzung $(S \& R) = 0$ (der Zustand $R = S = 1$ tritt niemals auf) erhalten wir etwas einfacher:

$$Q_{n+1} = (!R_n \& Q_n) \# S_n$$



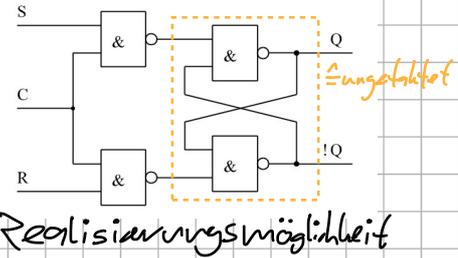
Zeitverhalten bei RS-FF aus NAND-Gliedern realisiert

taktzustandsgesteuertes RS-FF

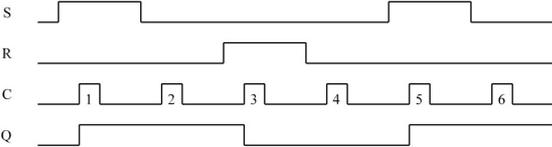


Clk	S	R	Q _{n+1}
0	x	x	Q _n
1	0	0	Q _n
1	0	1	0
1	1	0	1
1	1	1	-

Speicher
Speicher
reset
set
undefiniert → nicht benutzen
≅ ungelockt



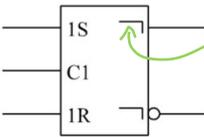
Realisierungsmöglichkeit



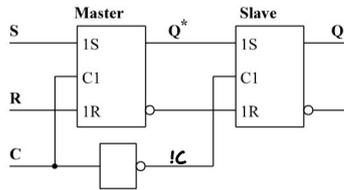
Schaltverhalten:

- Clock synchronisiert das Umschalten
- transparent: bei C=1 wirkt sich Änderung des Eingangs sofort auf Ausgang aus (oft unerwünscht ⇒ MS-FF)

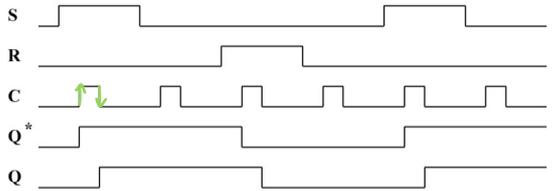
Master-Slave RS-FF



Ausgang ändert sich auf fallender Flanke von C → „pulsgetriggert“



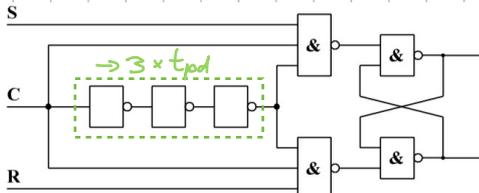
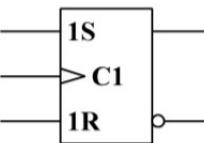
Realisierungsmöglichkeit



Zeitverhalten:

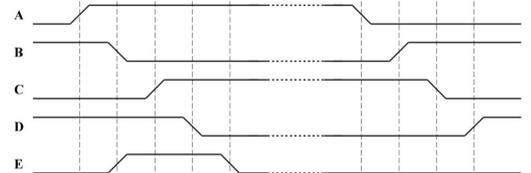
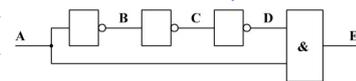
- steigende Flanke → Übertragung Daten an Master
- fallende Flanke → erhalten bei Ausgängen von Slave

flankengesteuertes RS-FF

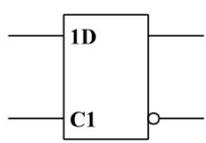


Realisierungsmöglichkeit mit Verzögerungskette

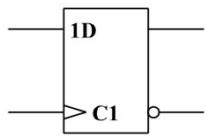
Exkurs: Impulserzeuger



D-FF (Data)

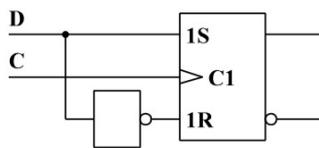
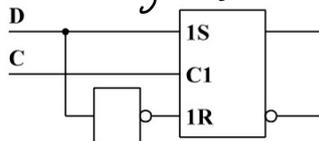


• Totzustands-
gesteuert
• transparent



• Flanken-
getriggert
• nicht transparent

Realisierungsmöglichkeit:

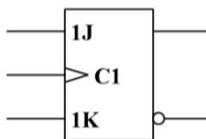


$$Q_{n+1} = D_n$$

Vorteil D-FF: "verbotener" Zustand 11 ist verschwinden

Nachteil D-FF: auch der nützliche (Speicher-) Zustand 00 ist verschwinden

JK-FF (Jump & Kill)

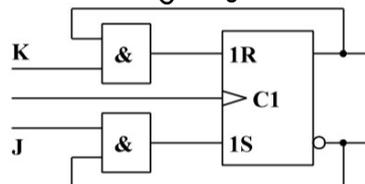


J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\neg Q_n$

• RS
• Speicher
Reset
Set
• Toggle

- nicht transparent (flanken- oder pulsgetriggert)
- universellstes und meist-gebräuchtes FF

Realisierungsmöglichkeit



$$Q_{n+1} = (J_n \& \neg Q_n) \# (\neg K_n \& Q_n)$$

preset und clear \rightarrow wie set/reset aber unabh. vom Takt

Takt

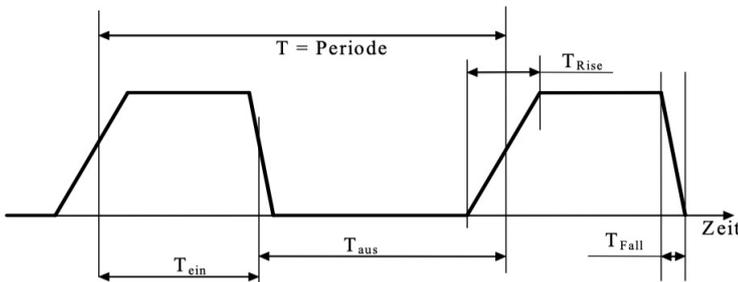
- Für Koordination des Schaltkreises
- steuert wann Daten in Flipflops geladen werden
- oszilliert zw. 1 und 0

Periode: $T = 1/f = T_{\text{ein}} + T_{\text{aus}}$

Duty Cycle: T_{ein}/T

Rise time: t um von 0 \rightarrow 1 zu wechseln

Fall time: t um von 1 \rightarrow 0 zu wechseln



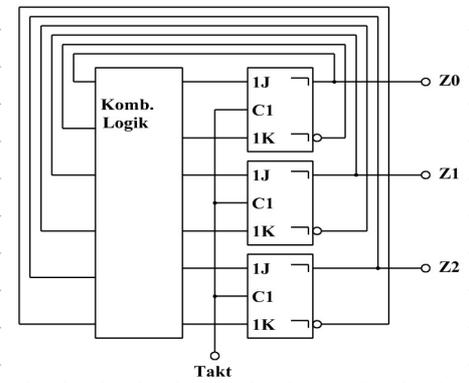
Zähler

Schaltung welche nach Taktimpuls von Ausgangszustand in vorbestimmten anderen Zustand übergeht

keine transparenten FFs verwenden

Synthese: Entwurf der komb. Logik

Anleitung (Würfel):



Grundstruktur:

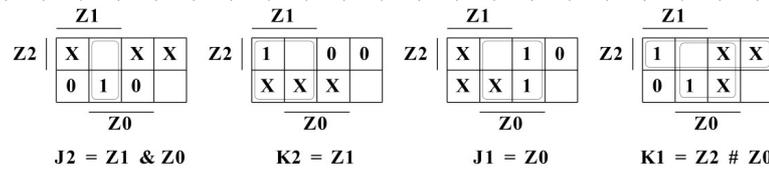
0. Wahrheitstabelle
↓
Übergangstabelle

J	K	Q_{n+1}	Übergang		
0	0	Q_n	0 → 0	0	X
0	1	0	0 → 1	1	X
1	0	1	1 → 1	X	0
1	1	$\neg Q_n$	1 → 0	X	1

1., 2., 3. Zählertabelle

W	Z2	Z1	Z0	J2	K2	J1	K1	J0 → 1	K0 → 1
1	0	0	1	0	X	1	X	X	1
2	0	1	0	0	X	X	0	1	X
3	0	1	1	1	X	X	1	X	1
4	1	0	0	X	0	0	X	1	X
5	1	0	1	X	0	1	X	X	1
6	1	1	0	X	1	X	1	1	X
1	0	0	1	← damit der Zyklus geschlossen bleibt					

4. Karnaugh-Diagramme



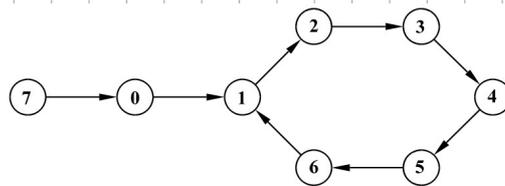
5. Anregungsfunktionen (kombinatorische Logik)

$$\begin{aligned}
 J2 &= Z1 \& Z0 &= \neg(Z1 \& Z0) \\
 K2 &= Z1 \\
 J1 &= Z0 \\
 K1 &= Z2 \# Z0 &= \neg(\neg Z2 \& \neg Z0) \\
 J0 &= 1 \\
 K0 &= 1
 \end{aligned}$$

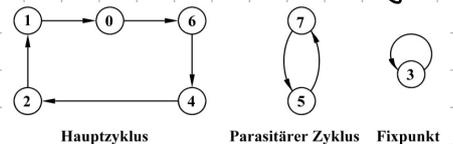
6. n. benutzte Zustände untersuchen

nicht benutzte			mit Formeln aus (5.) bestimmen						nach Takt		
Z2	Z1	Z0	J2	K2	J1	K1	J0	K0	Z2'	Z1'	Z0'
0	0	0	0	0	0	0	1	1	0	0	1
1	1	1	1	1	1	1	1	1	0	0	0

7. Zustandsdiagramm



Wenn so aussieht → nicht gut:



ert.:

8. parasitäre Zyklen und Fixpunkte eliminieren

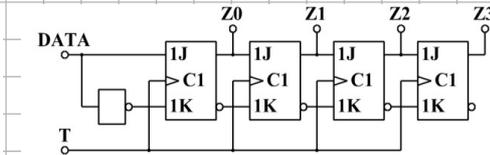
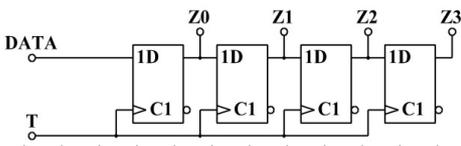
Anregungsfunktionen neu berechnen:

Leere Felder in K-Diagramm untersuchen und allenfalls anderen definierten Wert zuweisen damit alle Zustände im Hauptzyklus münden

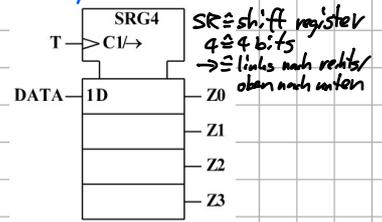
Register und Schieberegister (Ein- und Ausgabe parallel → (Parallel-)Register, sonst serien- / Schieberegister)

- zur kurzfristigen Speicherung von einigen Bits, Länge beliebig
- dienen häufig als Pufferspeicher zwischen Geräten/Modulen mit untersch. Art / Geschw. der Informationsverarbeitung zB Umwandlung serielle Daten ↔ parallele Daten

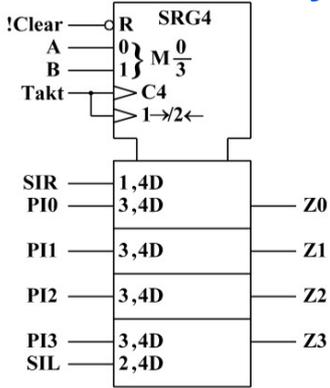
Grundschialtung:



IEC-Symbol:



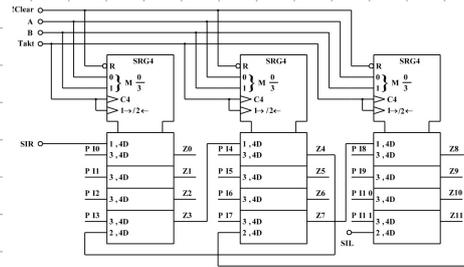
universelles Schieberegister:



- R alle Ausgänge auf 0 (asynchron)
- M₃ Modus = $A \cdot 2^0 + B \cdot 2^1 \in \{0, 1, 2, 3\}$
- C4 alle mit 4 beschrifteten Eingänge nur bei steigender Taktflanke aktiv
- 1 → im Modus 1 nach rechts schieben
- 2 ← im Modus 2 nach links schieben
- SI Serial Input
- PI Parallel Input

M	A	B	Funktion	Eingang
0	0	0	Speicherzustand	-
1	1	0	nach rechts	SIR
2	0	1	nach links	SIL
3	1	1	parallel laden	PI x

können kaschodiert werden:

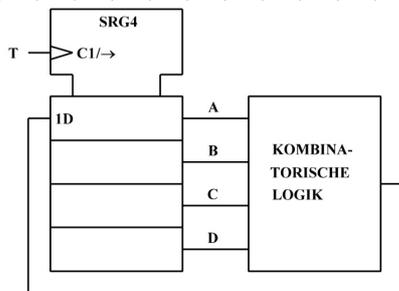


12 bit

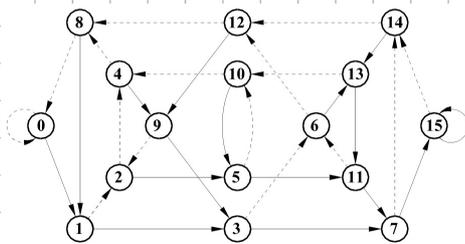
rückgekoppelte Schieberegister

Logische Funktion d. Ausgangssignale wird auf seriellen Eingang zurückgeführt
 → von bestimmten Zustand kann man nur in 2 neue Zustände gelangen
 → entweder wird 1 oder 0 eingelesen: $ABCD \leftrightarrow 0ABC$
 $ 1ABC$

Grundstruktur

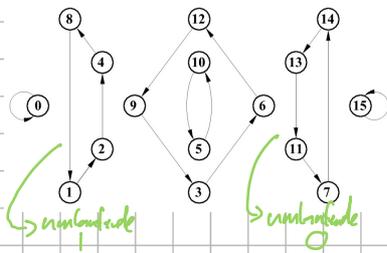
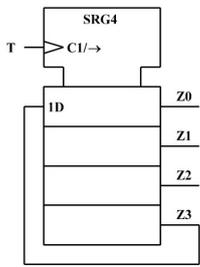


alle möglichen Zustände



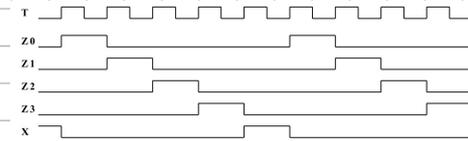
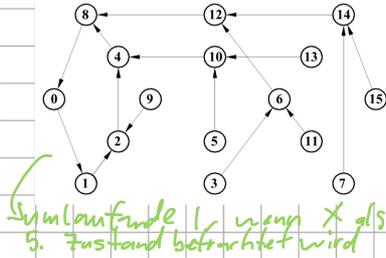
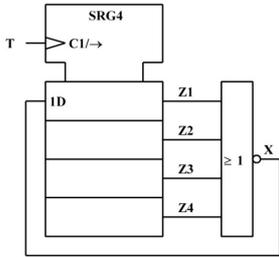
gestrichelt → 0 abgelesen
 ausgezogen → 1 eingelesen

Ringzähler:



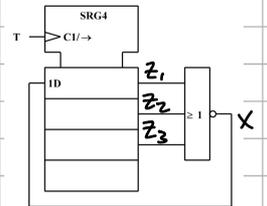
letzter Ausgang auf seriellen Eingang
 => gespeicherte Information läuft um
 mit umlaufender I/O können auf einfache
 Weise mehrphasige Totzsignale generiert werden
 fehlerunfallig; bei Störung art Wechsel d. Zyklus

Korrigierter Ringzähler:



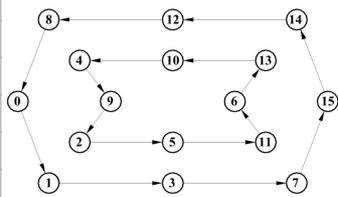
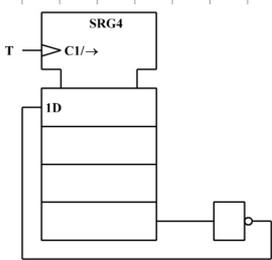
ergibt 6-Phasentakt
 -> Länge kann geändert werden

4-Phasentakt:

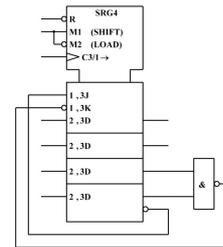


bei Verwendung von NAND anstatt NOR erhält man umlaufende 0
 -> auch hier mit Berücksichtigung des NAND-Ausgangs

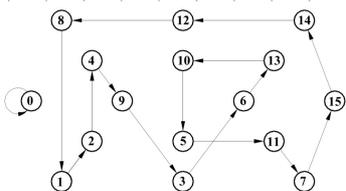
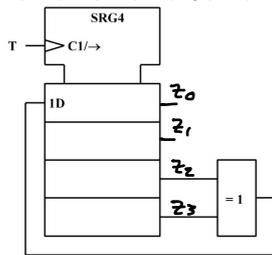
Johnson-Zähler / Möbius-Zähler



korrigiert:

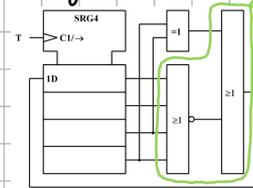


Lineare Schieberegister (linear, weil XOR lineare Funktion)



N	Rückführung
3	Z1 \$ Z2
4	Z2 \$ Z3
5	Z2 \$ Z4
6	Z4 \$ Z5
7	Z5 \$ Z6
8	Z3 \$ Z4 \$ Z5 \$ Z7
9	Z4 \$ Z8
10	Z7 \$ Z9
11	Z8 \$ Z10
12	Z5 \$ Z7 \$ Z10 \$ Z11
13	Z3 \$ Z5 \$ Z9 \$ Z12
14	Z3 \$ Z7 \$ Z12 \$ Z13
15	Z13 \$ Z14
16	Z10 \$ Z12 \$ Z13 \$ Z15
17	Z13 \$ Z16
18	Z10 \$ Z17
19	Z13 \$ Z16 \$ Z17 \$ Z18
20	Z16 \$ Z19

korrigiert:



-> bei Zustand 0
 erzeugt dieser
 Teil eine 1,
 sonst wird
 Geschelhen nicht
 beeinflusst

Operat.-busverstärker

Ideale Operat.-busverstärker

vollkommene Gleichtaktunterdrückung:

$$u_a = A \cdot u_d = A \cdot (u_p - u_n) \text{ mit } A \rightarrow \infty$$

unendlich hohe Eingangswiderstände:

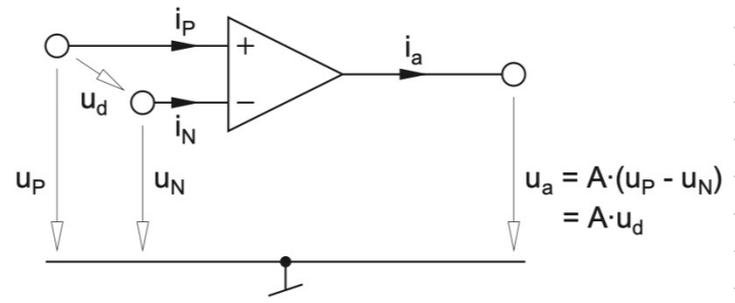
$$i_p = i_n = 0, R_{in} \rightarrow \infty$$

Ausgangsspannung unabhängig vom Ausgangsstrom:

$$u_a \neq f(i_a)$$

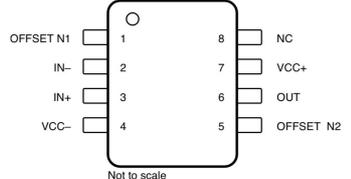
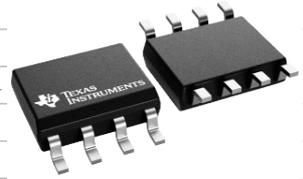
goldene Regel:

falls Signalverbindung zur Ausgang & nur seinem inv. Eingang
 => Ausgangsspannung stellt sich so ein, dass Differenzeingangsspannung gleich Null wird



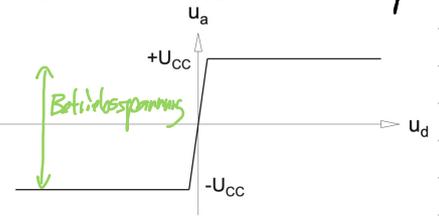
reale OP Amp

741

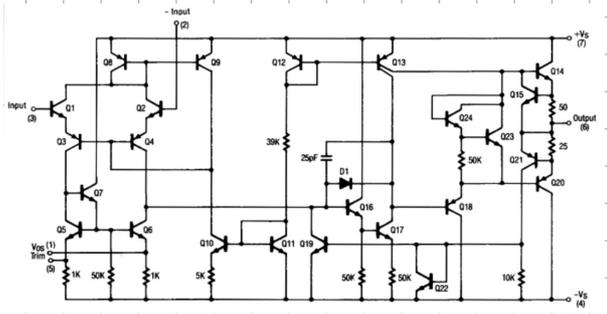
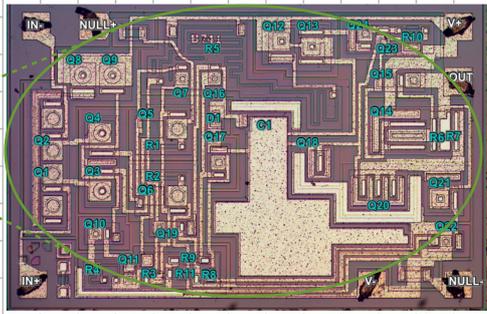
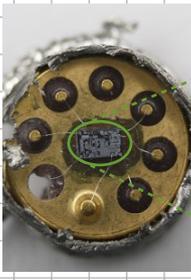
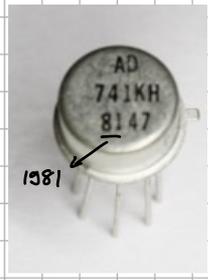


PIN		I/O	DESCRIPTION
NAME	NO.		
IN+	3	I	Noninverting input
IN-	2	I	Inverting input
NC	8	—	No internal connection
OFFSET N1	1	I	External input offset voltage adjustment
OFFSET N2	5	I	External input offset voltage adjustment
OUT	6	O	Output
VCC+	7	—	Positive supply
VCC-	4	—	Negative supply

Ausgangsspannung ≤ Betriebsspannung:



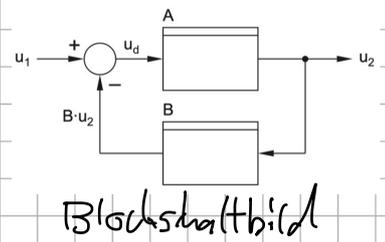
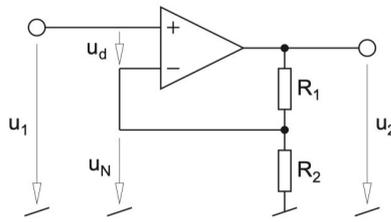
innerer Aufbau



nichtinv. Verstärker

$$u_2 = A(u_1 - u_N) = A(u_1 - \frac{R_2}{R_1 + R_2} u_2)$$

$$\Rightarrow V_u = \frac{u_2}{u_1} = \frac{A}{1 + A \frac{R_2}{R_1 + R_2}}$$



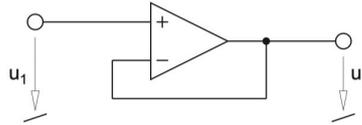
$$V_u = 1 + \frac{R_1}{R_2} \geq 1 \quad r_{ein} \rightarrow \infty, r_{aus} = 0$$

für $A \rightarrow \infty$ $u_d = 0$ (goldene Regel 1)

Spannungsfolger

nichtinv. Verstärker mit $V_u = 1$

$\Rightarrow R_1 = 0$ oder $R_2 \rightarrow \infty$ (oder beides)

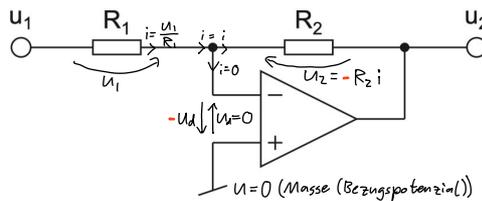


Impedanzwandler: extrem hohe Eingangsimpedanz, versch. kleine Ausgangsimpedanz $\Rightarrow i_e = 0, i_a = \text{beliebig}$

invertierende Verstärker

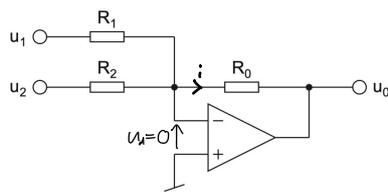
$$u_d = 0 \Rightarrow i = \frac{u_1}{R_1} \Rightarrow u_2 = R_2 \cdot (-i)$$

$$V_u = -\frac{R_2}{R_1} \quad r_{ein} = R_1, r_{aus} = 0$$



Addierer (mit Invertier.)

$$u_0 = -\left(u_1 \frac{R_0}{R_1} + u_2 \frac{R_0}{R_2}\right)$$

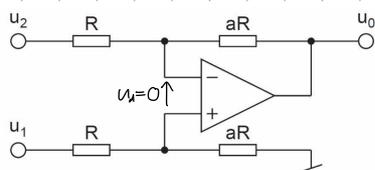


Kann auf beliebig viele Eingänge erweitert werden

Subtrahierer

$$u_0 = a(u_1 - u_2)$$

(links und rechts)

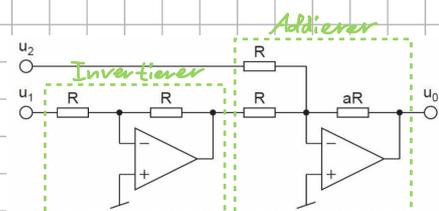


$$r_{ein1} = R(1+a)$$

$$r_{ein2} = R / \left(1 - \frac{u_1}{u_2} \cdot \frac{a}{1+a}\right)$$

Nachteil: r_{ein2} nicht konstant, sondern von u_1 & u_2 abhängig

oder alternativ:

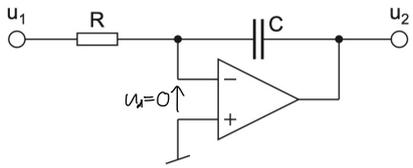


$$r_{ein1} = R$$

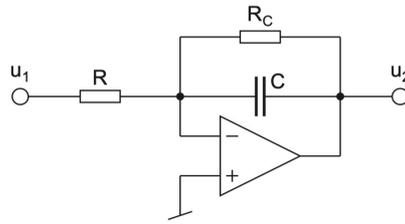
$$r_{ein2} = R$$

Vorteil: Eingangswiderstände eindeutig definiert

Integrator



oder:
modifiziert →



Frequenzgang:

$$H(\omega) = \frac{U_2}{U_1} = k \cdot \frac{1}{1 + j \frac{\omega}{\omega_g}}$$

$$k = -\frac{R_c}{R}, \quad \omega_g = \frac{1}{R_c C}$$

$$u_2(t) = -\frac{1}{RC} \cdot \int_0^t u_1(\tau) d\tau + u_2(0)$$

$$\frac{U_2}{U_1} = -\frac{Z_C}{Z_R} = -\frac{1}{j\omega RC} = -\frac{1}{sRC}$$

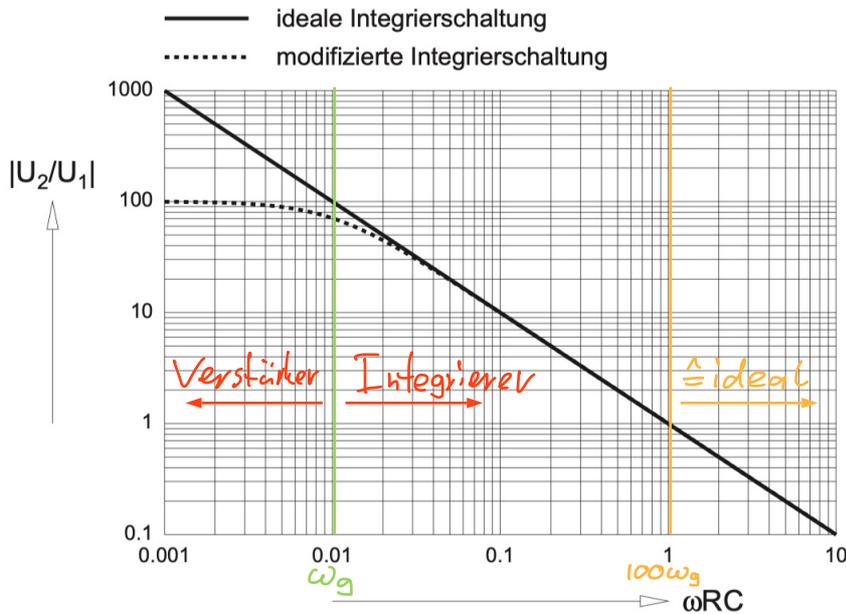
$$\frac{U_2}{U_1} = -\frac{R_c}{R \cdot (1 + j\omega R_c C)} = -\frac{R_c}{R \cdot (1 + s R_c C)} = -\frac{R_c}{R} \cdot \frac{1}{1 + j \frac{\omega}{\omega_g}}$$

tiefe f → Verstärker } Eckfrequenz: $\omega_g = \frac{1}{R_c C}$
hohe f → Integrator

Nachteil: Gleichspannung wird auch integriert
⇒ nach einiger Zeit der Ausgang durch
Betriebsspannung begrenzt (Integrator gesättigt)

Vorteil: Gleichspannung nicht integriert
sondern nur verstärkt

Amplitudengänge:



$$R_c = 100R$$

$$\Rightarrow \omega_g = 0.01 \cdot \frac{1}{RC}$$

ab etwa $10 \cdot \omega_g$, besser
noch ab $100 \cdot \omega_g$ arbeitet
modifizierter Integrator
normal; bei tieferen ω
geht sein Verhalten immer
mehr in das eines inv.
Verstärkers über:

$$\omega \ll \omega_g \Rightarrow \frac{U_2}{U_1} \approx -\frac{R_c}{R}$$

invertierende Schmitt-Trigger

falls u_d Vorzeichen ändert
 $\Rightarrow u_2$ kippt

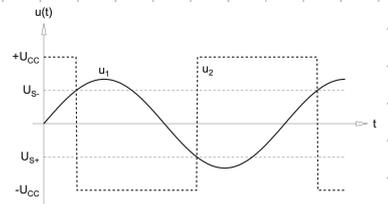
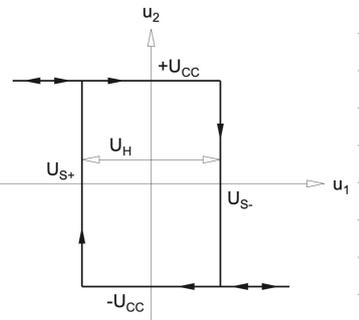
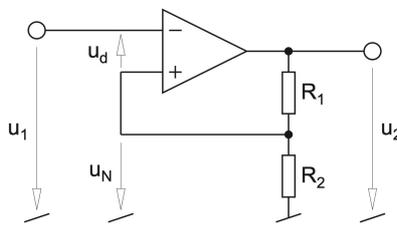
$$u_d = u_N - u_1 = \frac{R_2}{R_1 + R_2} u_2 - u_1 \stackrel{!}{=} 0$$

$$\Rightarrow u_1 = \frac{R_2}{R_1 + R_2} u_2$$

da u_2 am Anschlag ist, d.h. $u_2 = \pm U_{CC}$

$$\Rightarrow U_{S\pm} = \mp U_{CC} \frac{R_2}{R_1 + R_2}$$

«elektronische Entscheidungshilfe»



nichtinvertierende Schmitt-Trigger

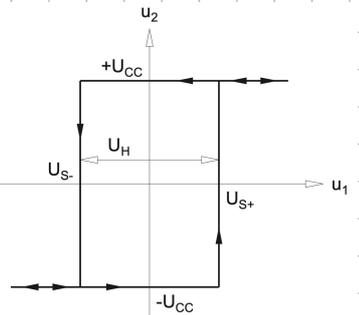
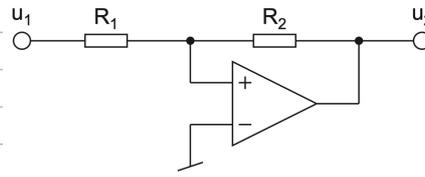
falls u_d Vorzeichen ändert
 $\Rightarrow u_2$ kippt
 $\Rightarrow u_d \stackrel{!}{=} 0$

$$u_d - u_1 = \frac{R_1}{R_1 + R_2} (u_2 - u_1) \Rightarrow u_d = \frac{R_1 u_2 + R_2 u_1}{R_1 + R_2}$$

$$u_d = 0 \Rightarrow u_1 = -\frac{R_1}{R_2} u_2$$

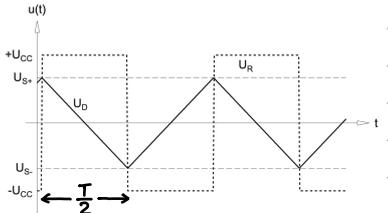
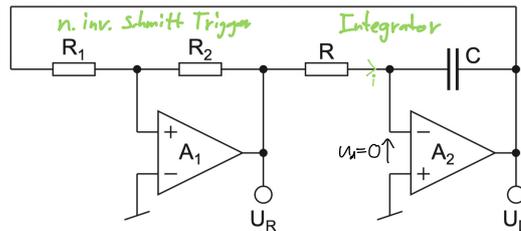
da u_2 am Anschlag ist, d.h. $u_2 = \pm U_{CC}$

$$\Rightarrow U_{S\pm} = \pm \frac{R_1}{R_2} U_{CC}$$



Dreieck-Rechteck-Generator

Integrator integriert (abschnittsweise) konstante Ausgangsspannung des Schmitt-Triggers bis die Schaltschwelle U_S d. letzteren erreicht ist



$$\Rightarrow U_S = \pm \frac{R_1}{R_2} U_{CC}, \quad U_R = \pm U_{CC}, \text{ da OPA}_1 \text{ am Anschlag}$$

$$\Delta Q = C \cdot \Delta U = \Delta t \cdot i$$

$$= C \cdot 2U_S = \frac{T}{2} \cdot \frac{U_{CC}}{R}$$

$$= C \cdot 2 \frac{R_1}{R_2} U_{CC} = \frac{1}{2f} \cdot \frac{U_{CC}}{R} \Rightarrow f = \frac{R_2}{4R R_1 C}$$

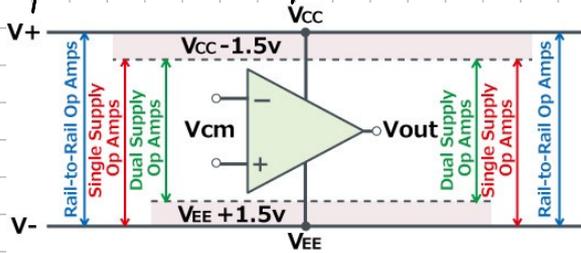
Single Supply Schaltungen

oft möchte man auf zweite Versorgungsspannung verzichten (z.B. Mobilität)
 → negative Versorgungsspannung auf 0V setzen

damit OP erwartungsgemäss funktioniert ⇒ besondere Massnahmen erforderlich!

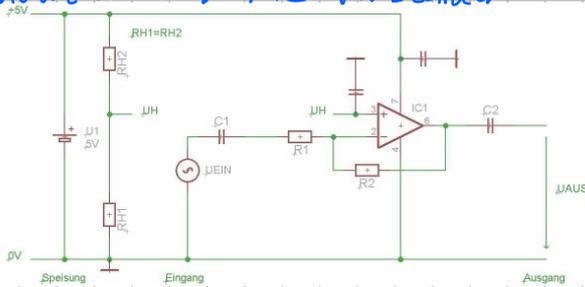
- falls AC-Signale verstärkt werden sollen ⇒ virtuelle Mittenspeisung
- falls nur DC-Signale ⇒ virtuelle Mittenspeisung evtl. n. notwendig
 → reicht zu verarbeitende Spannung über bis 0V (und damit bis zur negativen Versorgungsspannung d. OP-Amp) ⇒ Eingangsgleichheitsbereich & Ausgangsspannungsbereich beachten

Typen von OP Amps:

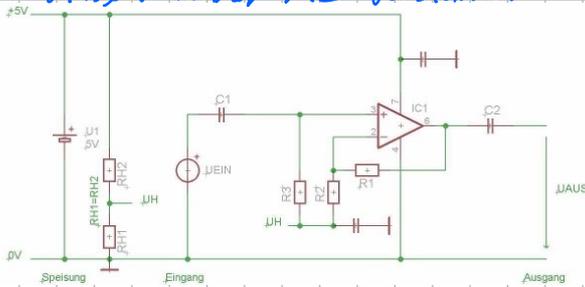


RRIIO-OP's sind die modernsten und vom Spannungsbereich die universellsten

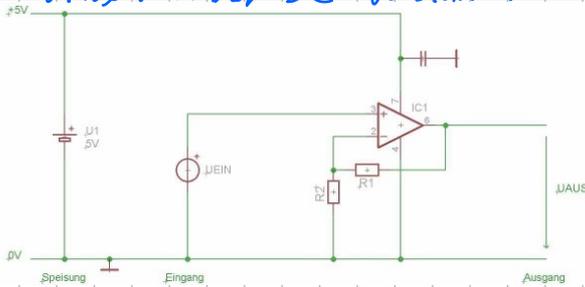
invertierender AC-Verstärker



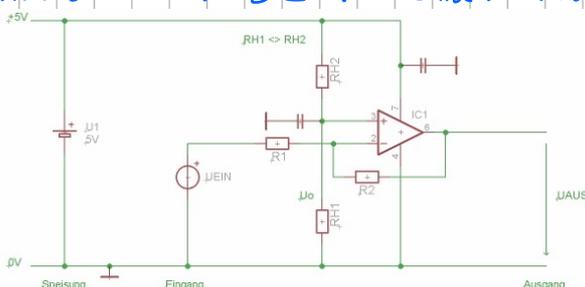
nichtinvertierender AC-Verstärker



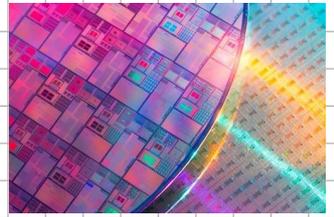
nichtinvertierender DC-Verstärker



invertierender DC-Verstärker mit Offset



Halbleiter

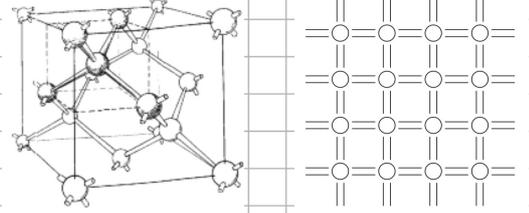


Struktur von Halbleiter:

- monokristallin: Kristallstruktur erstreckt sich ungestört über ganzes Volumen
→ meisten el. Bauelemente (z.B. Transistoren, Dioden) setzen monokr. voraus
- polykristallin: grosse Zahl kleiner Kristalle
→ weniger verwendet (z.B. Solarzellen)

Gitterstruktur

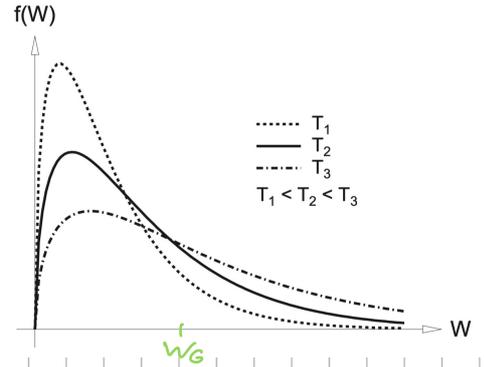
Diamantgitter \Rightarrow keine freien e^- (alle Valenz- e^- gebunden)
 \Rightarrow bei $T=0K$ kein Stromfluss (fast idealer Isolator)



Eigenleitung

Energieverteilung d. e^- folgt Maxwell-Boltzmann-Verteilungsfunktion

um e^- aus Bindung zu lösen ist Ablösearbeit W_G notwendig
 alle e^- mit $E > W_G$ können Plätze in Bindung verlassen
 → Fläche unter Kurve oberhalb W_G



entstehendes Loch auch beweglich

Generation: Entstehung e^- -Loch-Paar bei Aufbrechen einer Bindung bei Zufuhr von Energie

Rekombination: Verschwinden e^- -Loch-Paar wenn e^- auf Loch trifft und Bindung entsteht

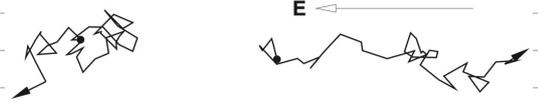
Dichte n_i : der freien e^- (und damit auch d. Löcher) ist T -abhängig bei steigender T wächst die Zahl d. über Ablöse-Energie W_G verfügbaren e^- :

$$n_i^2(T + \Delta T) \approx n_i^2(T) \exp(c \Delta T)$$

bei $\Delta T > 0 \Rightarrow n_i$ steigt praktisch unverzögert an
 bei $\Delta T < 0 \Rightarrow n_i$ fällt exponentiell ab, da e^- und Loch sich finden müssen

freie e^- & Löcher bewegen sich zufällig im Kristall (Brownsche B.)

falls äusseres Feld $\vec{E} \Rightarrow$ Kraft auf e^- $\vec{F} = -e\vec{E}$



dadurch wird ungeordneter therm. Bewegung e^- d. Feldrichtung entgegengesetzte Bewegung überlagert (Drift)

mittlere Driftgeschw. ist prop. zu Kraft, also auch zu Feldstärke: $v = b_n E$

↳ e^- -Beweglichkeit

Elektronenstromdichte: $J_n = env = enb_n E$, analog für Löcher

gesamte Stromdichte: $J = J_n + J_p = (enb_n + epb_p) E$

vergleicht man dies mit Ohm'schem Gesetz $\vec{J} = \gamma \vec{E}$, findet man für Leitfähigkeit eines Halbleiters:

$$\gamma = e(nb_n + pb_p)$$

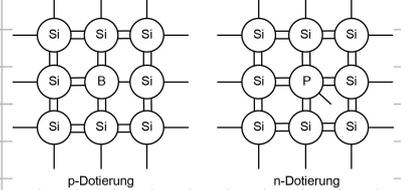
\Rightarrow el. Leitfähigkeit also proportional zu Trägerdichten und Trägerbeweglichkeiten

im Falle reinen/störstellenfreien Kristall gilt wegen $n=p=n_i$ die Eigenleitfähigkeit:

$$\gamma = n_i e (b_n + b_p) \quad \text{untere Grenze d. Leitfähigkeit}$$

Störleitung

Donator: Wertigkeit grösser als Si (z.B. P) => Überschuss freier e⁻
 Akzeptor: Wertigkeit kleiner als Si (z.B. B) => Überschuss Löcher



Massenwirkungsgesetz: $n \cdot p = n_i^2$

Neutralitätsbedingung: $n + N_A^- = p + N_D^+$
 Kristall muss el. neutral bleiben
 => Konzentration d. Ladungsträger sowie d. Dichte d. Störatome haben sich auf

daraus folgt:

$$p, n = \frac{\sqrt{(N_D^+ - N_A^-)^2 + 4 n_i^2} \mp (N_D^+ - N_A^-)}{2}$$

Majoritätsträger: vorherrschender Ladungsträger in einseitig dotiertem Kristall

i. A. ist Störstellendichte (N_D^+ oder N_A^-) \gg Intrinsic-Dichte (n_i), sodass approximativ gilt:

$$\begin{aligned} n\text{-leitendes Material: } n &\approx N_D^+, \quad p \approx \frac{n_i^2}{n} \\ p\text{-leitendes Material: } p &\approx N_A^-, \quad n \approx \frac{n_i^2}{p} \end{aligned}$$

Anhebung d. Majoritätskonzentration bewirkt also Senkung d. Minoritätskonzentration und umgekehrt

da Intrinsic-Dichte im Gegensatz zu Dichte d. ionisierten Störstellen stark T-abhängig ist, überträgt sich diese Temperaturabhängigkeit voll auf Minoritätsdichte

meisten technisch relevanten Effekte in Halbleitern beruht auf dem Unterschied zwischen Majoritäts- und Minoritätsträgern

wenn T sehr hoch wird, steigt Minoritätsdichte an bis schliesslich praktisch kein Unterschied in den Dichten d. beiden Ladungsträgerarten mehr besteht

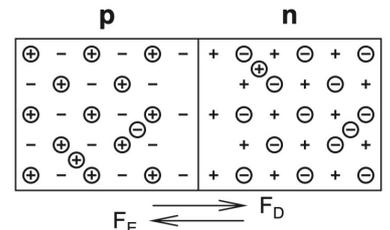
=> Eigenleitung dominiert dann über Störleitung und Halbleitereffekt funktionsuntüchtig nicht mehr wie gewünscht

=> diese maximale T liegt bei heute verwendeten Materialien im Bereich 150...200°C; gibt nur sehr wenige Halbleiter die oberhalb dieser T noch funktionieren

pn-Übergang

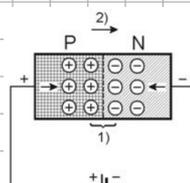
durch Diffusionskräfte verteilen sich freie e⁻ und Löcher im Kristall gleichmässig

=> wandern zu anderer Seite und rekombinieren bis die el. Kraft gleich gross ist wie Diffusionskraft

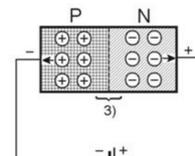


dieser Gleichgewichtszustand kann durch Anlegen einer Spannung gestört werden:

- Flussrichtung: Spannung unterstützt F_D
- Sperrrichtung: Spannung unterstützt F_E



Flussrichtung

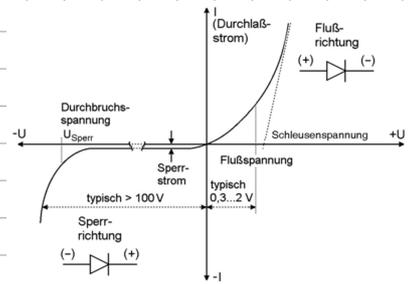
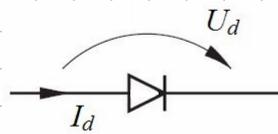


Sperrrichtung

- Akzeptor-Dotierung (P-Leitung)
- Donator-Dotierung (N-Leitung)
- 1) Ladungsträger rekombinieren
- 2) Stromfluß (technische Stromrichtung)
- 3) an Ladungsträgern verarmte Zone (Sperrschicht): kein Stromfluß

Diode

Diode $\hat{=}$ Stromventil:
 Strom fließt nur in Richtung d. Pfeils



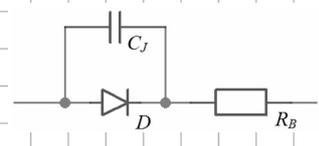
Kennlinie (für $I_d < I_{max}$ und $U_d > U_{Bst}$):

$$I_d = I_s \left(\exp\left(\frac{U_d}{m U_T}\right) - 1 \right)$$

U_T : Thermospannung; $U_T = kT/q$ (bei RT $U_T = 26 \text{ mV}$)
 m : Korrekturfaktor; $1 < m < 2$

Betrieb im Durchbruchbereich $U_d < U_{BR}$ bedeutet meistent Zerstörung

Ersatzschaltbild:



- D: ideale Diode (Gleichung oben)
- R_B : Widerstand
- C_J : Sperrschichtkapazität

Flussspannung nimmt bei konstantem Strom um ca. 2 mV/K ab

Sperrstrom verdoppelt sich pro 10°C Temperaturerhöhung

Betrieb im Bereich $U_d < U_{BR}$ bedeutet meistens Zerstörung

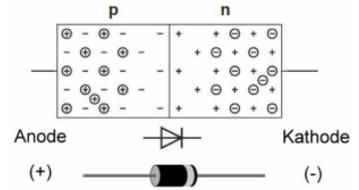
Sperrverzögerung

bei gewissen Dioden (v.a. pin aber auch pn) braucht es gewisse Zeit bis Minoritätsträger abgefließen sind und sich eine Sperrschicht aufgebaut hat

pn-Diode

einfachste Bauform entspricht im wesentlichen dem pn-Übergang für gute Leitfähigkeit hohe Dotierung notwendig

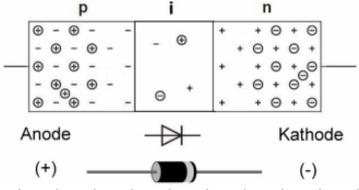
- ⊕ relativ niedrige Durchbruchspannung ($\approx 150 \text{ V}$)
- ⊕ relativ kurze Sperrverzögerung (1 bis 100 ns)



pin-Diode

löst Problem d. niedrigen Durchbruchspannung d. pn-Diode durch Einfügen einer i-Zone (i für intrinsisch)

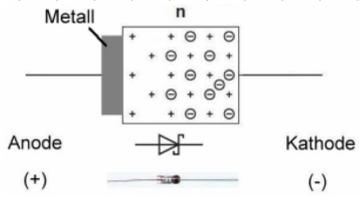
- ⊕ hohe Durchbruchspannung ($\approx 1000 \text{ V}$)
- ⊕ hohe Sperrverzögerung (0.5 bis 5 μs)



Schottky-Diode

hoher Sättigungssperrstrom

- ⊕ tiefe Flussspannung
- ⊖ geringe Durchbruchspannung (4 bis 40 V)
- ⊕ keine Sperrverzögerung



Weitere

Fotodiode, Solarzelle: Photon generiert e-Loch-Paar in Sperrschicht / i-Zone

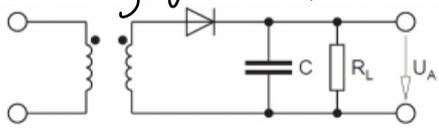
Leuchtdiode: Rekombination von e-Loch-Paar erzeugt Photon, Wellenlänge abhängig von Material

Z-Diode: für Betrieb im Durchbruchgebiet konzipiert, v.a. zu Schutzzwecken eingesetzt

Kapazitätsdiode: für Sperrbereich konzipierte pn-Dioden, wie Kondensator mit variablem Plattenabstand, in Hochfrequenztechnik für abstimmbar Oszillatoren und Filter verwendet

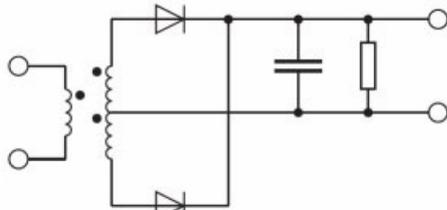
Gleichrichter

Leistungsgleichrichter



Einweggleichrichter

- kaum mehr verwendet, da:
- ⊖ hohe Welligkeit
- ⊖ Stromaufnahme pulsformig
- ⊖ nur eine Halbwelle genutzt
- ⇒ Belastung Netz, erhöhte Leistungsverluste



Mittelpunktschaltung

Vollweggleichrichter

Brückenschaltung

- ⊕ geringere Welligkeit als Einweggleichrichter
- ⊖ Stromaufnahme pulsformig (jedoch geringer als Einweg)

Näherungsformel zur Dimensionierung des Kondensators:

$$C = \frac{\Delta Q}{\Delta U} = \frac{I \Delta t}{\Delta U}$$

I: Laststrom $I = U/R = \frac{\sqrt{2}}{2} \hat{U}/R$

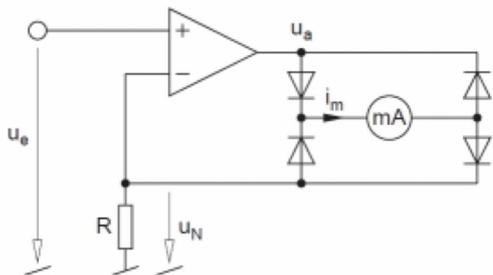
Δt : Zeit, während C sich entlädt: Einweg → Netzperiode, Vollweg → halbe

ΔU : maximal zulässige Restwertigkeit d. Ausgangsspannung

Wegen nicht-sinusförmigen Stromaufnahme alle obigen Schaltungen bei Neuentwicklungen nicht mehr erlaubt

⇒ man benötigt PFC-Schaltungen (power factor correction)

Messgleichrichter

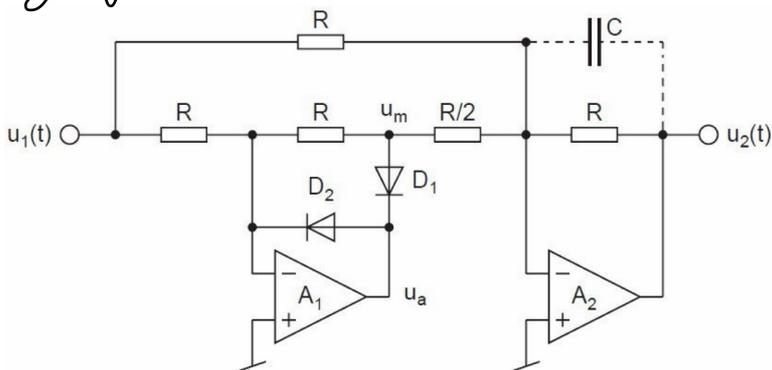


- ⊕ Flussspannungen d. Dioden verursachen keinen Messfehler
- ⊖ Resultat (i_m) nicht ertdfrei, nicht massebezogen

$$i_m(t) = \frac{|u_e(t)|}{R}$$

OP benötigt bipolare Sp.

Signalgleichrichter



⊕ massebezogen

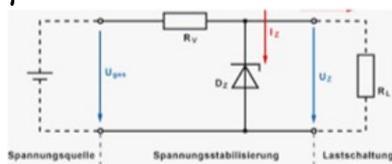
ohne C gilt:

$$u_2(t) = |u_1(t)|$$

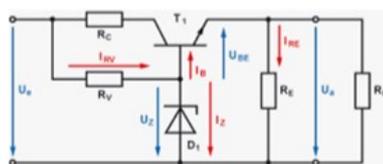
mit C → Mittelwertbildung

OP benötigt bipolare Sp.

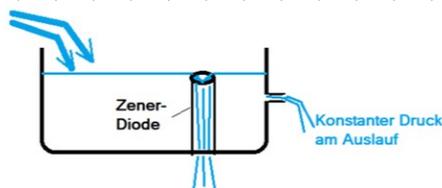
Spannungsstabilisierung



Spannungsstabilisierung mit Z-Diode



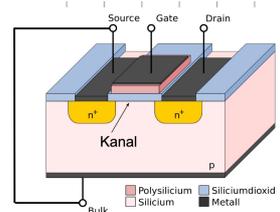
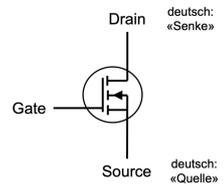
Spannungsstabilisierung mit Z-Diode und Transistor



MOS-FET's (Metal-Oxid-Silicon Field-Effect-Transistor)

Die Funktionsweise wird anhand eines n-Kanal-MOS-FETs erklärt.

Beim p-Kanal-MOS-FETs sind die Vorzeichen aller Spannungen und Ströme umgekehrt. Als bewegliche Ladungsträger treten an die Stelle der Elektronen die Löcher und umgekehrt.



In untenstehender Tabelle verwendete Symbole	Negativ geladen	Positiv geladen
Bewegliche Ladungsträger	\ominus = Elektron	\oplus = Loch
Im Kristallgitter verankerte (unbewegliche) Atomrümpfe	-	+

Mit einem **grünen Strich** markiert sind die metallischen Transistor-Anschlüsse.

Der **braune Strich** steht für die isolierende Oxid-Schicht beim MOS-FET.

Transistor-Typ	MOS-FET MOS = Metal-Oxid-Silcon FET = Field-Effect-Transistor	= Isolierschicht-FET = enhancement-FET = Anreicherungs-FET = Selbstsperrender FET
Symbol	n-Kanal-MOS-FET p-Kanal-MOS-FET 	Tipp: Pfeil beim Substrat (= Bulk) entspricht der Polarität. n-Seite des Pfeils zum Kanal => n-Kanal-FET p-Seite des Pfeils zum Kanal => p-Kanal-FET
Ladungsträger-verteilung ohne Spannung		Zwischen den beiden n-dotierten Source und Drain gibt es keinen durchgehenden Kanal für die \ominus .
Steuerspannung unter dem Schwellwert	Gate 0V 	Zwischen den beiden n-dotierten Source und Drain gibt es keinen durchgehenden Kanal für die \ominus . Der MOS-FET sperrt ohne Steuerspannung; er ist also selbstsperrend .
Steuerspannung leicht über dem Schwellwert	Gate +3V 	Die positive Gate-Source-Spannung saugt \ominus aus der Source unter das Gebiet des Gates und es entsteht ein dünner durchgehender n-Kanal zwischen Source und Drain. Das Kanal-Gebiet wird mit \ominus angereichert (enhancement) , es beginnt ein Strom zu fließen. Die Gate-Source-Spannung bei der der MOS-FET zu leiten beginnt, wird Threshold-Spannung genannt. Sie beträgt einige Volt, hängt von der Geometrie und der Dotierung ab und unterliegt Herstellungs-Toleranzen (= Exemplar-Streuung).
Steuerspannung stark über dem Schwellwert	Gate +5V 	Die noch positivere Gate-Source-Spannung saugt mehr \ominus aus der Source unter das Gate und es entsteht ein dicker durchgehender n-Kanal zwischen Source und Drain. Der \ominus -Strom von der Source zum Drain steigt weiter an. Der MOS-FET leitet .

Der Pfeil ist Symbol für den PN-Übergang. Er zeigt von P nach N genauso wie bei der PN-Diode...

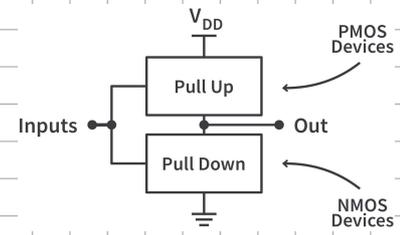
Der MOS-FET kann als Schalter eingesetzt werden, wenn folgendes beachtet wird:

- Ein MOS-FET kann nur Gleichspannung mit der richtigen Polarität schalten.
- Die zulässige Spannung am MOS-FET wird nicht überschritten („aus“-Zustand).
- Der für den MOS-FET zulässige Strom wird nicht überschritten („ein“-Zustand).
- Die Ansteuer-Spannungen müssen passend gewählt werden.

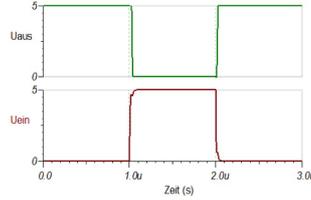
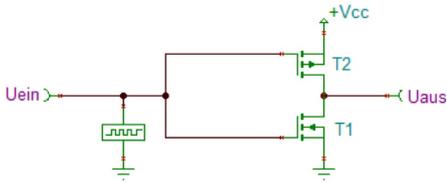
CMOS - Grundbausteine

Die Digital-Technik-Bausteine und Prozessoren werden in CMOS-Technologie hergestellt. Der Name CMOS (= complimentary metal oxid silicon) bedeutet, dass jeweils komplementäre n- und p-Kanal-Anreicherungs-FET eingesetzt werden, um schnelle Schaltzeiten bei geringem Stromverbrauch zu erzielen.

Alle Digital-Technik-Funktionen lassen sich durch Kombination von Invertern, NAND und NOR realisieren.



CMOS-Inverter

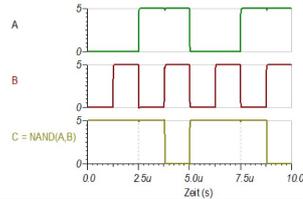
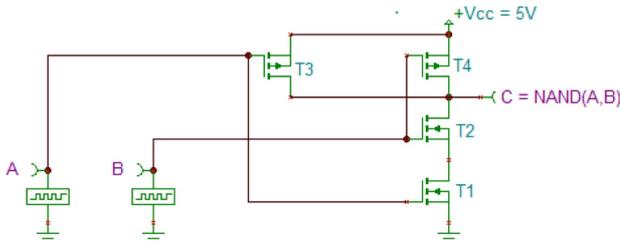


Die Einschalt-Verzögerung ist mit 27ns kaum länger als im obigen Beispiel mit 22ns. Aber die Ausschalt-Verzögerung beträgt nur noch 16ns statt 170ns. Die maximal nutzbare Taktfrequenz berechnet sich zu $f_{max} = 1/(4 \cdot \text{längsteZeit}) = 9.3\text{MHz}$

Funktionsweise der Schaltung:

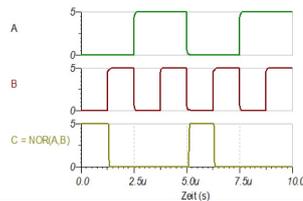
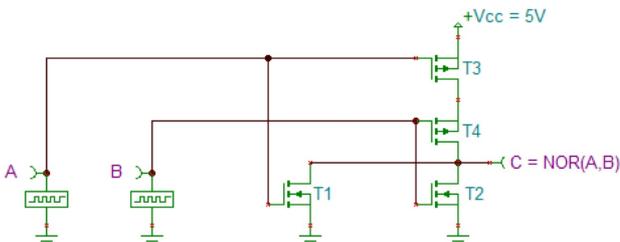
Uein	n-Kanal-MOS-FET T1	p-Kanal-MOS-FET T2	Uaus
Low = 0V	UGS(T1) = 0V => T1 sperrt	UGS(T1) = -5V => T2 leitet	High = 5V
High = 5V	UGS(T1) = 5V => T1 leitet	UGS(T1) = 0V => T2 sperrt	Low = 0V

CMOS-NAND



A	B	T1	T2	T3	T4	C
Low	Low	Sperrt	Sperrt	Leitet	Leitet	High
Low	High	Sperrt	Leitet	Leitet	Sperrt	High
High	Low	Leitet	Sperrt	Sperrt	Leitet	High
High	High	Leitet	Leitet	Sperrt	Sperrt	Low

CMOS-NOR



A	B	T1	T2	T3	T4	C
Low	Low	Sperrt	Sperrt	Leitet	Leitet	High
Low	High	Sperrt	Leitet	Leitet	Sperrt	Low
High	Low	Leitet	Sperrt	Sperrt	Leitet	Low
High	High	Leitet	Leitet	Sperrt	Sperrt	Low

weitere Logikfamilien:

MOS	Metal Oxide Semiconductor	CMOS	HCNOS	TTL	LSTTL	STTL	ECL	HECL
FET	Field Effect Transistor	5 V	2..6 V	5 V	5 V	5 V	-5.2 V	-5.2 V
CMOS	Complementary MOS	3..18 V						-4.5 V
HCNOS	Highspeed-CMOS							
TTL	Transistor-Transistor-Logik	35 ns	8 ns	10 ns	8 ns	3 ns	1.5 ns	0.4 ns
STTL	Schottky-TTL							
LSTTL	Low-Power-STTL							
ECL	Emitter-Coupled Logic							
HECL	Highspeed-ECL							
		7 MHz	50 MHz	15 MHz	30 MHz	75 MHz	500 MHz	1.5 GHz
		10 nW	25 nW	10 mW	2 mW	20 mW	35 mW	40 mW

